

CLIPPEDIMAGE= JP401124267A
PAT-NO: JP401124267A
DOCUMENT-IDENTIFIER: JP 01124267 A
TITLE: HETEROSTRUCTURE FIELD-EFFECT TRANSISTOR

PUBN-DATE: May 17, 1989

INVENTOR-INFORMATION:

NAME
KIMURA, TORU

ASSIGNEE-INFORMATION:

NAME
NEC CORP

COUNTRY
N/A

APPL-NO: JP62283427
APPL-DATE: November 9, 1987

INT-CL (IPC): H01L029/80; H01L029/205 ; H01L029/78
US-CL-CURRENT: 257/192, 257/627

ABSTRACT:

PURPOSE: To obtain a heterojunction field-effect transistor which can be high-speed and can be highly integrated by a method wherein a p-type germanium layer as a channel layer is formed on a gallium arsenide substrate and a laminated structure using an intrinsic or semiinsulating gallium arsenide layer as an insulating layer is contained while a gate electrode used to impress an electric field in a vertical direction of the laminated structure, a source electrode and a drain electrode in an inward direction of the p-type germanium layer are provided.

CONSTITUTION: A p-type Ge layer 2 and an intrinsic GaAs layer 3 are grown one after another on a semiinsulating GaAs (1, 0, 0) substrate 1 by an MBE method; aluminum is used as a gate electrode 4 on the GaAs layer 3; the GaAs layer 3 in a part other than the gate electrode 4 is removed by a self-alignment method; a gold/indium alloy is evaporated as a source electrode 5 and a drain electrode 6; while indium is diffused at a low temperature of 350°C, a

*GaAs
on Ge on GaAs
GaAs has under
band gap*

high speed

p<SP>+</SP>

contact layer 7 is formed and is brought into contact with a p-type Ge layer 2

as a channel layer where a hole flows. Because a direction from the source

electrode to the drain electrode is set in a (1, 0, 0) orientation, a

field-effect transistor having a bigger gm value can be realized.

COPYRIGHT: (C)1989,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-124267

⑬ Int.Cl.⁴

H 01 L 29/80
29/205
29/78

識別記号

3 0 1

庁内整理番号

H-8122-5F
8526-5F
B-8422-5F

⑭ 公開 平成1年(1989)5月17日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ヘテロ構造電界効果トランジスタ

⑯ 特 願 昭62-283427

⑰ 出 願 昭62(1987)11月9日

⑱ 発 明 者 木 村 亨 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

ヘテロ構造電界効果トランジスタ

2. 特許請求の範囲

(1) 砒化ガリウム基板上にp型ゲルマニウム層を電流の流れるチャネル層とし、真性又は半絶縁性砒化ガリウム層を絶縁層とする積層構造を有し、前記積層構造の垂直方向に電界を印加するゲート電極と、前記p型ゲルマニウム層の面内方向に正孔を注入、排出するソース電極、ドレイン電極を備えたことを特徴とするヘテロ構造電界効果トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はゲルマニウムを能動層とするヘテロ接合電界効果トランジスタに関する。

(従来の技術)

砒化ガリウムはシリコンに比べ電子移動度が4～5倍大きいため、砒化ガリウムを能動層とする種々の電界効果トランジスタが高速および高周波

用トランジスタとして使用されている。この中には例えばショットキ・ゲート構造電界効果トランジスタ(MESFET)、選択ドープ構造電界効果トランジスタ(HEMT)、絶縁ゲート構造電界効果トランジスタ(SISFET)等があげられる。

このような電界効果トランジスタを用いて大規模集積回路を実現するには、消費電力、動作余裕度等の観点からコンプリメンタリな回路で構成することが最も望ましい。シリコンを材料とする集積回路では、このような回路はCMOS回路と呼ばれている。

一方、砒化ガリウムは電子の移動度 $\mu_e (=8500 \text{ cm}^2/\text{V}\cdot\text{sec})$ は大きい、正孔の移動度 $\mu_h (=400 \text{ cm}^2/\text{V}\cdot\text{sec})$ は小さく、コンプリメンタリな回路を実現したとき、pチャネル電界効果トランジスタのドレイン飽和電流あるいは相互コンダクタンス g_m の値が小さくなる。このため、nチャネルおよびpチャネル電界効果トランジスタからなるコンプリメンタリ回路全体のスイッチング時間、あるいは集積度といった特性が、pチャネル・

トランジスタの特性で制限され、高速化、集積化といった面で大きな障害となってくる。

これを避けるためには、pチャンネル・トランジスタのゲート幅を広くして、相互コンダクタンス g_m を大きくとる設計が必要になるが、これは回路のチップ占有面積が大きくなり、大規模集積化が困難である。あるいはこれに付随して配線長も長くなるため、配線による負荷が増大し、スイッチング時間が長くなり、回路の高速化を図る上で障害となるといった欠点が生ずる。事実、文献アイ・イー・ディー・エム(IEDM)85、ダイジェストオブテクニカルペーパーズ(Digest of Technical Papers)317頁記載のデータによると、同一砒化ガリウムウェハー上に実現されたコンプリメンタリ絶縁ゲート構造電界効果トランジスタ回路において、nチャンネルトランジスタの相互コンダクタンス g_m は 218mS/mm 、pチャンネルトランジスタの相互コンダクタンス g_m は 28mS/mm の値を持ち、相互コンダクタンス g_m の違いは8倍近くに及ぶことがわかる。

動層が砒化ガリウムであるため、砒化ガリウム中の正孔の移動度が小さく、回路全体の特性がpチャンネルトランジスタの特性によって制限され、高速化、高集積化にとり重大な障害となるといった欠点があった。

本発明の目的はこれら従来の砒化ガリウムを基板とするpチャンネル電界効果トランジスタの持つ欠点を除去し、新規なpチャンネル電界効果トランジスタを提供することにある。

〔問題点を解決するための手段〕

本発明は砒化ガリウム基板の上にp型ゲルマニウム層を電流の流れるチャンネル層とし、真性又は半絶縁性砒化ガリウム層を絶縁層とする積層構造を有し、前記積層構造の垂直方向に電界を印加するゲート電極と、前記p型ゲルマニウム層の面内方向に正孔を注入、排出するソース電極、ドレイン電極を備えたことを特徴とするヘテロ構造電界効果トランジスタである。

〔作用〕

エー・ジー・ミルネス(A.G.Milnes)とディー・

第3図は従来例のpチャンネル電界効果トランジスタの断面図を模式化したものである。半絶縁性の砒化ガリウム基板11の上にp型に高濃度ドーピングされた砒化ガリウム層(p型GaAs層)16が形成され、この砒化ガリウム層16上にはショットキ接合するゲート電極12が、またゲート電極12の左右にはイオン注入法により形成されたp型高濃度層(p⁺コンタクト層)15が、さらにその上にはソース電極13、ドレイン電極14が設けられ、砒化ガリウム層16を能動層とするpチャンネル電界効果トランジスタが実現されている。

このようなpチャンネルトランジスタの特性が回路全体の特性を制限し、砒化ガリウムにおけるシリコンに対する電子移動度の優位性は、ほとんど発揮されないことになる。

〔発明が解決しようとする問題点〕

以上のように、砒化ガリウムウェハー上に大規模集積回路を実現するため、コンプリメンタリ電界効果トランジスタ回路を用いると、nチャンネルトランジスタもpチャンネルトランジスタも能

エル・フォイヒト(D.L.Feucht)の著による文献「ヘテロジャンクションズ・アンド・メタル・セミコンダクタ・ジャンクションズ」(Heterojunctions and Metal Semiconductor Junctions)(日本語訳版、酒井、高橋、森泉 共訳「半導体ヘテロ接合」9頁)に示されているように、ゲルマニウム(以下、Geと略記)と砒化ガリウム(以下、GaAs)は、格子定数がほとんど等しく、またそれぞれの熱膨張係数も室温を中心とする広い温度範囲において極めて近い値を持つ。したがってGeとGaAsとは両者の結晶性が極めて良い状態でヘテロ接合が形成できるが、液相成長などの高温を必要とする形成方法では、GaAs中のAsがGe中に拡散し、Geがn型になる性質があった。しかしながら、ジェー・エム・バリングル(J.M.Ballingall)らにより、文献「ジャーナル・オブ・アプライド・フィジックス(Journal of Applied Physics)」誌、第52巻6号4098頁からに示されているように、また同著者により文献「ジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジー(Journal of Vac-

uum Science and Technology)」誌B1巻3号675頁から示されているように分子線エピタキシャル成長(以下MBE)法を用いると、GeはGaAs基板上に250℃から300℃という低温でエピタキシャル成長する。このときGeとGaAsとのヘテロ接合界面は極めて急峻な状態で、エピタキシャル成長できる。このことは前記ジェー・エム・バリンガル著の2つの文献により、GeからGaAsへの遷移領域は400℃、1時間の熱履歴を経た後でも10オングストローム程度と見積られることから検証できる。また、シー・エー・チャン(C.A.Chang)らにより文献「ジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジー(Journal of Vacuum Science and Technology)」誌19巻3号567頁から示されている内容によれば、GeとGaAsとのヘテロ接合界面での相互拡散は400℃、4時間の熱履歴を経た後でも10オングストローム以下と報告されている。したがって、GeとGaAsとのヘテロ接合界面は、400℃程度の温度履歴があっても、数原子層オーダーで極めて急峻で、相互拡散することなく、

かつまた両者の格子定数、温度膨張係数が極めて近いことから、欠陥や歪みが入ることなく、良質な結晶性を保ったまま、理想的なヘテロ接合ができると考えられる。よってMBE法による低温成長を利用することにより良質のGe層をp型にドーピングし、正孔の流れるチャネル層とすることが可能になる。また、第2図において、Geの禁制帯幅は0.66eV、GaAsの禁制帯幅は1.42eVであるが、ジェー・エム・バリンガル著による前記2つの文献によるとGeとGaAsのヘテロ接合面では、伝導帯側のエネルギー不連続値は80meVと小さく、2種の半導体の禁制帯幅の不連続はほとんど価電子帯にあることがわかる。価電子帯のエネルギー不連続値は、GeとGaAsでは0.7eV程度であり、この値は、典型的なヘテロ接合をなすGaAsと $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ の伝導帯不連続値が、0.1eV程度であるのに比べ格段に大きい。従ってGe層をp型にドーピングした場合、Ge層中の正孔に対し、GaAs層は十分な障壁層となりうる。さらにGe中の正孔の移動度 μ_h は室温で $190\text{cm}^2/(\text{V}\cdot\text{sec})$ と非常に大きいため、このGe中の正

孔を電界効果トランジスタ(以下FET)の担体として用いた場合に、相互コンダクタンス g_m が従来のGaAsを用いたp型FETと比べ、5倍以上と非常に大きな値を持つ高性能のp型FETを作ることができる。
(実施例)

以下に本発明の実施例を図によって説明する。

第1図は本発明によるヘテロ構造電界効果トランジスタの断面模式図である。図において、半絶縁性GaAs(1,0,0)基板1上に、p型のGe層2、続いて真性のGaAs層3をMBE法により順次成長させた。GaAs層3上のゲート電極4としてはアルミニウムを用い、セルフアライン法によりゲート電極4以外の部分のGaAs層3を取り去り、ソース電極5、ドレイン電極6として、金/インジウム合金を蒸着し、350℃の低温でインジウムを拡散させることにより p^+ コンタクト層7を形成し、正孔の流れるチャネル層であるp型Ge層2とコンタクトをとった。真性GaAs層3が良質の結晶性をもってエピタキシャル成長でき、しかもGaAs層はアルミニウムと障壁高さ0.8eVの良好なショットキ接合

を形成するためゲート電極からの漏れ電流は無視できる小さな値に抑えられた。ここでソース、ドレイン電極の方向は基板の<1,0,0>方向にとつてある。これは、エル・レジアニ(L.Reggiani)らにより文献フィジカル・レビュー(Physical Review)誌B16巻6号2781頁に述べられているように、Ge中の正孔は<1,0,0>方向に対し、移動度が最大となる。したがって、ソースからドレイン電極へ向かう方向を<1,0,0>方向にすることによりもっとも g_m の大きい電界効果トランジスタが実現できるからである。なお、上述のゲート電極は他の金属を用いても良い。

本実施例のpチャネル電界効果トランジスタは、正孔移動度の大きなゲルマニウムを能動層とし、さらに価電子帯不連続の大きなGe/GaAsヘテロ接合を用いることにより、砒化ガリウムを能動層とするpチャネル電界効果トランジスタに比べ、 g_m が約5倍近く増大する。この結果砒化ガリウム基板上に形成されるpチャネル電界効果トランジスタの g_m がおおよそ 140mS/mm 程度に増大する

ことが予想され、同じく砒化ガリウム基板上に形成されるnチャンネル電界効果トランジスタの $g_m = 218 \text{ mS/mm}$ に迫る値となり、高速、高集積化が可能なコンプリメンタリ電界効果トランジスタ回路が実現できる。

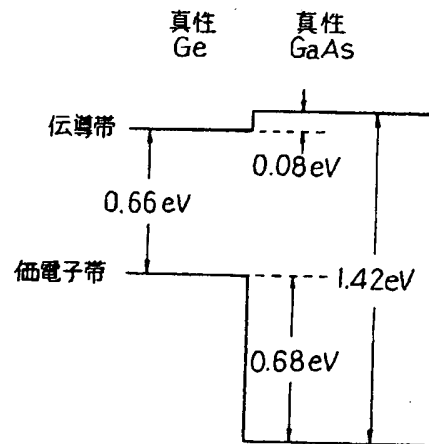
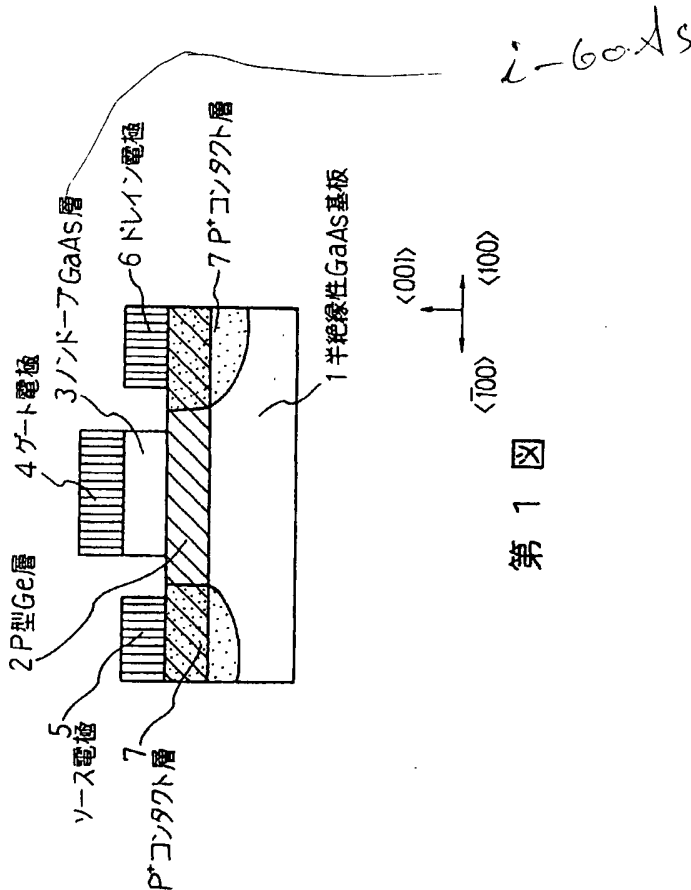
〔発明の効果〕

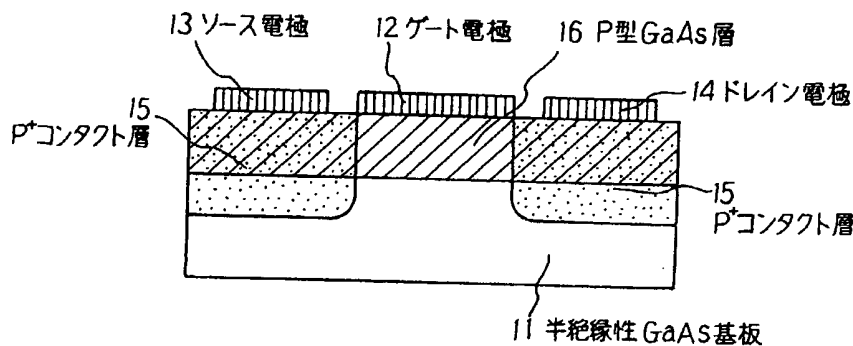
本発明によれば、回路全体の特性がpチャンネルトランジスタの特性によって制限されることなく、しかも砒化ガリウム中の正孔の移動度を大きくすることができるので、高速化、高集積化が可能なヘテロ接合電界効果トランジスタを実現することができる。

4. 図面の簡単な説明

第1図は本発明による電界効果トランジスタの断面構成図、第2図は本発明の作用を説明するためのエネルギーバンド図、Ge、GaAsとも真性の場合を示す図、第3図は従来のGaAsを用いた正孔チャンネルFETの断面図である。

- 1…半絶縁性GaAs基板 2…p型Ge層
3…真性GaAs層 4…ゲート電極
5…ソース電極 6…ドレイン電極
7…p⁺コンタクト層





第 3 図

手続補正書(自発)

昭和 年 月 日 63.11.29

特許庁長官 殿

1. 事件の表示 昭和 62 年 特許願 第 283427 号

2. 発明の名称

ヘテロ構造電界効果トランジスタ

3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 関 本 忠 弘

4. 代 理 人

〒108 東京都港区芝五丁目37番8号 住友三田ビル

日本電気株式会社内

(6591) 弁理士 内 原

電話 東京 (03) 456-3111 (大代表)

(連絡先 日本電気株式会社 特許部)

5.補正の対象

明細書の発明の詳細な説明の欄

明細書の図面の簡単な説明の欄

6.補正の内容

(1)明細書第11頁9行目に「砒化ガリウム中の正孔の移動度を」とあるのを「砒化ガリウム基板上で正孔の移動度を」と補正する。

(2)明細書11頁19行目から12頁2行目を次のように補正する。

「1, 11…半絶縁性GaAs基板 2…p型Ge層

3…真性GaAs層

4, 12…ゲート電極

5, 13…ソース電極

6, 14…ドレイン電極

7, 15…p⁺コンタクト層

16…p型GaAs層」

代理人 弁理士 内 原 晋



方式 弁理士 関本忠弘